

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-294689

(43)Date of publication of application : 20.10.2000

(51)Int.Cl.

H01L 23/28

H01L 21/56

H01L 21/60

H01L 23/12

H01L 23/29

H01L 23/31

H05K 1/18

H05K 3/32

(21)Application number : 11-095184

(71)Applicant : SONY CORP

(22)Date of filing : 01.04.1999

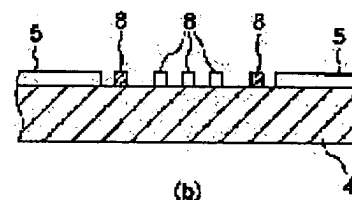
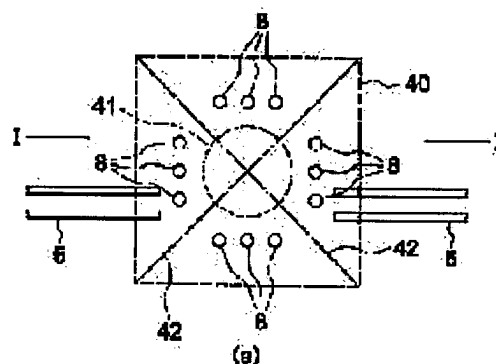
(72)Inventor : KATO MASUO
TERASAKI TATSU
SASAKI MASARU
TSURUMI MASAMI

(54) WIRING BOARD FOR MOUNTING OF SEMICONDUCTOR DEVICE, AND MOUNTING METHOD FOR SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To perform electrical and mechanical connection without fail, by providing, on a wiring board, projections of height smaller than the sum of the height of a wiring pattern and the height of a bump electrode, at intervals to prevent the dispersed flow of applied resin, around a resin application region besides being inside the semiconductor device mounting region of a wiring board.

SOLUTION: A wiring board 4 is equipped with a plurality of columnar protrusions 8 of height smaller than the sum of the height of wiring patterns and the height of bump electrodes 2 such that they surround the area 41 on which to apply resin besides being inside the region 40 on which to mount a semiconductor device 1. The protrusions 8 are not arranged on the diagonal 42 of the region 40 and in its vicinity, but are arranged three pieces each on the division line of the four sides of a quadrilateral surrounding the region 51 concentrically in the vicinity of the center of each side, and are disposed so that they may be obstacles to the outflow of the resin applied on the region 41. Hereby, a semiconductor device can be mounted electrically and mechanically certainly by face down bonding method on the wiring board.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-294689
(P2000-294689A)

(43)公開日 平成12年10月20日(2000.10.20)

(51)Int.Cl. ⁷	識別記号	FI	テーマコード*(参考)
H01L 23/28		H01L 23/28	C 4M109
21/56		21/56	E 5E319
21/60	311	21/60	311S 5E336
23/12		H05K 1/18	L 5F044
23/29		3/32	B 5F061
審査請求 未請求 請求項の数4 OL (全8頁) 最終頁に続く			

(21)出願番号 特願平11-95184

(22)出願日 平成11年4月1日(1999.4.1)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 加藤 益雄

愛知県額田郡幸田町大字坂崎字雀ヶ入1番地
ソニー幸田株式会社

(72)発明者 寺崎 達

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 佐々木 大

埼玉県坂戸市塚越1300番地 ソニーボンソン株式会社内

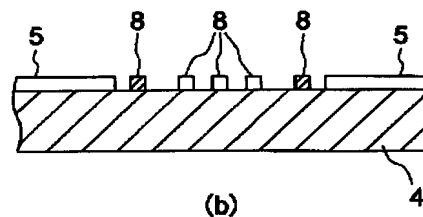
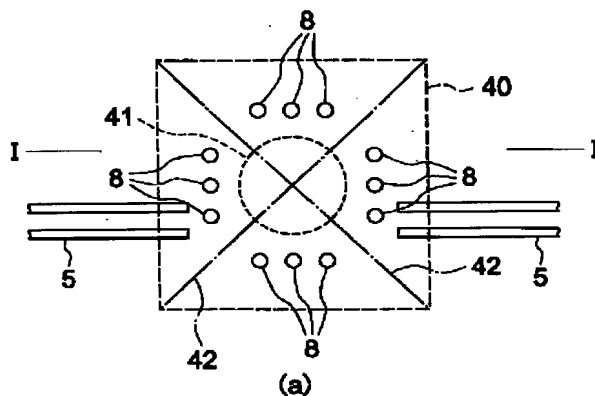
最終頁に続く

(54)【発明の名称】 半導体素子の実装用配線基板及び半導体素子の実装方法

(57)【要約】

【課題】 半導体素子と配線基板との電氣的及び機械的接続が確実であって、しかも高密度で実装できる、半導体素子の実装用配線基板を提供する。

【解決手段】 本配線基板4は、半導体素子1の突起電極2と電氣的に接続させる配線パターン5を備え、半導体素子を実装させる基板であって、半導体素子を実装する領域40の内側にあって樹脂を塗布する区域41の周囲を取り囲むように、凸部8を複数個備えている。凸部8は、配線基板4の配線パターン5の高さと半導体素子1の突起電極2の高さの和より低い高さの円柱状の凸部であって、領域40の対角線42上及び近傍には配置しないようにして、領域51を取り囲む四辺形の4辺の区画線上にそれぞれ3個ずつ各辺の中央付近で集中的に配置され、領域41に塗布された樹脂の流出の障害となるように配列されている。



【特許請求の範囲】

【請求項 1】 突起電極を備えた半導体素子のフェースダウン・ボンディング方式による実装用配線基板であって、配線パターンを備え、配線パターンと突起電極とを電気的に接続するようにして、熱硬化性又は光硬化性樹脂により半導体素子を接着、実装する配線基板において、

配線パターンの高さ突起電極の高さの和より低い高さの凸部が、配線基板の半導体素子実装領域の内側であって樹脂塗布領域の周囲に、塗布樹脂の拡散流動を防止する間隔で配線基板上に設けられていることを特徴とする半導体素子の実装用配線基板。

【請求項 2】 凸部は、半導体素子実装領域と相似で縮小した領域の外郭線上に、半導体素子実装領域の対角線上及びその近傍では配置間隔を拡げるようにして、配置されていることを特徴とする請求項 1 に記載の半導体素子の実装用配線基板。

【請求項 3】 請求項 1 又は 2 に記載の半導体素子の実装用配線基板上に、突起電極を備えた半導体素子を、配線パターンと突起電極とを電気的に接続するようにして、熱硬化性樹脂によって半導体素子を接着させ、実装する方法であって、

配線基板の樹脂塗布領域上に熱硬化性樹脂を塗布する工程と、

半導体素子の突起電極と配線基板の配線パターンとを位置合わせして、配線基板上に半導体素子を配置する工程と、

加熱加圧手段によって半導体素子を加熱しながら配線基板に押圧し、突起電極を配線パターンに電気的に接続すると共に熱により樹脂を硬化させる工程とを備えていることを特徴とする半導体素子の実装方法。

【請求項 4】 請求項 1 又は 2 に記載の半導体素子の実装用配線基板上に、突起電極を備えた半導体素子を、配線パターンと突起電極とを電気的に接続するようにして、光硬化性樹脂によって半導体素子を接着させ、実装する方法であって、

配線基板の樹脂塗布領域上に光硬化性樹脂を塗布する工程と、

半導体素子の突起電極と配線基板の配線パターンとを位置合わせして、配線基板上に半導体素子を配置する工程と、

加圧手段によって半導体素子を配線基板に押圧し、突起電極を配線パターンに電気的に接続すると共に光照射により樹脂を硬化させる工程とを備えていることを特徴とする半導体素子の実装方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体素子の実装用配線基板及び半導体素子の実装方法に関し、更に詳細には、フェースダウン・ボンディング方法により半導体

素子を高密度でしかも高い信頼性で接続させ、実装できる、半導体素子の実装用配線基板及び実装方法に関するものである。

【0002】

【従来の技術】 近年、多数個の半導体素子（ＩＣチップ）を微細ピッチで配線基板上に実装することにより、電子／電気機器の小型化を図る試みが盛んに行われており、また、それにより小型化された電子／電気機器が作製され、販売されている。配線基板上にＩＣチップを実装する際には、比較的小さいな表面積の配線基板上に、高密度で、しかも薄型、即ち配線基板からの高さが低くなるように、多数個のＩＣチップを実装しなければならない。

【0003】 ＩＣチップを微細ピッチで高密度で実装方法として、様々なフリップチップ接続方式がすでに開発され、実用化されているが、ここで、図 1 を参照して、特に高密度実装に適した方法として注目されているフリップチップ接続方式を説明する。図 1（a）と（b）は、それぞれ、フリップチップ接続方式でＩＣチップを実装する際の工程毎の断面図である。突起電極 2 を有する半導体素子 1 を絶縁性配線基板 4 の配線パターン 5 上にフリップチップ接続方式で実装する際には、先ず、図 1（a）に示すように、配線基板 4 上に熱硬化性樹脂 3 を塗布法等により塗布する。

【0004】 次いで、図 1（b）に示すように、半導体素子 1 をフェースダウンさせ、半導体素子 1 上の突起電極 2 と配線基板 4 の配線パターン 5 とを位置合わせした後、半導体素子 1 を配線基板 4 上に載置する。なお、突起電極 2 は、半導体素子 1 の電極 6 上に実装用に突起させた金属電極部である。続いて、半導体素子 1 を配線基板 4 に対して加圧しつつ熱硬化性樹脂 3 を加熱して硬化させる。これにより、半導体素子 1 は、突起電極 2 と配線パターン 5 との電気的な接続状態を維持しつつ、熱硬化性樹脂 3 の収縮力と樹脂接着力によって配線基板 4 上に機械的に強固に接着される。

【0005】 熱硬化性樹脂 3 に代えて、光を照射することにより樹脂を硬化させる光硬化性樹脂を使っても良い。熱硬化性樹脂及び光硬化性樹脂には、ペースト状やシート状のものがある。また、熱硬化性樹脂や光硬化性樹脂の代わりに、異方導電性接着剤を用いることもできる。即ち、配線基板上の配線パターン上に導電ペーストを塗布した後、半導体素子を位置合わせして、配線基板上に載置する。次いで、半導体素子を配線基板に対して加圧しつつ導電ペーストを加熱して熱硬化させて、半導体素子と配線基板との間の隙間を樹脂封止する方法も実施されている。

【0006】 ところで、フリップチップ接続方式を適用するＩＣチップは、次に述べる製造プロセス上の理由から、その平面視外形は、通常、正方形、矩形、平行四辺形等の四角形になっている。図 2 を参照して、ＩＣチ

3

プの製造プロセスを説明する。図 2 (a) から (c) は ICチップの製造プロセスの各工程の説明用斜視図である。ICチップは、図 2 (a) に示すように、主に、単結晶シリコンからなるウエハ 21 を母材とし、図 2

(b) に示すように、ウエハ 21 の上面に同じ集積回路を有する ICチップ 22 を多数個マトリクス状に形成し、次いで、図 2 (b) に示すように、円盤状のカッター 23 を用い、高回転で回転させつつ移動して、マトリクス状に配置されている ICチップ形成領域の縦線及び横線に沿ってダイシング (カッティング) することにより、単体の ICチップを形成している。上述のように、ダイシングの容易性という理由から、ICチップの平面視外形は、四角形になっている。

【0007】ところで、フェースダウン・ボンディング方法を適用して、配線パターンを有する配線基板上に、金属突起電極を電極部に有する ICチップを実装するに当たり、ICチップと配線基板との間に光硬化性又は熱硬化性のペースト樹脂を介在させ、ICチップを配線基板上を固着させる際、ペースト樹脂の塗布方法は、大きく分けて、点滴法、スタンプ法、及び印刷法がある。ここで、図 3、図 4 及び図 5 を参照して、それぞれ、点滴法、スタンプ法、及び印刷法を説明する。図 3 (a) から (c) は、それぞれ、点滴法の各ステップを説明する図であり、図 4 (a) から (d) は、それぞれ、スタンプ法の各ステップを説明する図であり、図 5 (a) から (c) は、それぞれ、印刷法の各ステップを説明する図である。

【0008】点滴法は、一般的には、図 3 (a) に示すように、シリンジ 24 にペースト樹脂 25 を充填し、図 3 (b) 及び (c) に示すように、ペースト樹脂 25 を一点ずつ配線基板 4 の所定領域に滴下する方法である。スタンプ法は、図 4 (a) に示すように、スタンプヘッド 26 をペースト樹脂槽に収容されたペースト樹脂 27 に浸漬し、次いで、図 4 (b) に示すように、スタンプヘッド 26 にペースト樹脂 27 を付着させる。続いて、図 4 (c) 及び (d) に示すように、スタンプヘッド 26 に付着したペースト樹脂 27 を配線基板 4 の所定領域に打ち付けることにより、ペースト樹脂 27 を転写する方法である。印刷法は、図 5 (a) に示すように、配線基板 4 の塗布部 28 に合致するようにパターンを開口した

【0009】ところで、ICチップを配線基板上にフェースダウン・ボンディング方法で実装する際、適切な樹脂量とは、接着を確実にするために ICチップの下面全域

4

に存在し、かつ、ICチップの実装面積を最小限にするため、ICチップの外周からはみ出す量を最小限に抑えた量である。また、ICチップの下面全域にわたり ICチップと配線基板との間に樹脂を介在させるためには、樹脂を ICチップ面積と等しいか、それより大きい範囲に塗布することが必要である。

【0010】

【発明が解決しようとする課題】しかし、上述の点滴法、スタンプ法、及び印刷法では、配線基板 4 上に塗布した樹脂 3 は、図 6 (a) に示すように、厚み方向の樹脂量が過剰であって、大量の余剰樹脂が ICチップ 1 の搭載により ICチップ 1 の外側にはみ出し、図 6 (b) に示すように、ICチップ実装領域 50 の所要面積を大きく拡大させてしまう。図 6 (a) 及び (b) は、それぞれ、樹脂が周囲に拡散する様子を示す配線基板断面図である。

【0011】ところで、ICチップを配線基板に固着させるために樹脂層の必要な厚さは、数十 μm 厚であり、点滴法、スタンプ法、及び印刷法のいずれも、厚さ数十 μm で樹脂を薄く塗布することが困難であるため、従来は、図 7 (a) 及び (b) に示すように、樹脂塗布時の面積は、ICチップ 1 の面積より小さくし、配線基板 4 上に ICチップ 1 を搭載した際の加圧力で樹脂を薄く広げて、ICチップ 1 の下面全域に存在させるようにしている。図 7 では、ICチップ実装領域 50 は、図 6 に示す ICチップ実装領域 50 より小さくなっている。図 7 (a) 及び (b) は、それぞれ、ICチップ実装面積が小さくなるように樹脂を塗布した際の樹脂が周囲に拡散する様子を示す配線基板断面図である。

【0012】しかし、図 8 (a) に示すように配線基板 4 上に塗布した樹脂 3 は、ICチップ 1 の搭載時の圧力で広がる際、図 8 (b) に示すように、円形状に拡がり、四角形の ICチップ 1 の四隅 32 には拡がり難い。図 8 (a) は塗布した段階での樹脂の平面形状、図 8

(b) は加圧して広がった段階での樹脂の平面形状を示す。また、樹脂の塗布形状を四角形などに変えても、樹脂の凝集力により円形状に広がるため、図 8 (b) に示す広がりと同様の問題がある。これでは、ICチップと配線基板との接着面積が小さくなり、接着力が不十分となるので、機械的接続の信頼性、更には、電極と配線パターンとの導通が悪くなったりして電気的接続の信頼性が低下する。

【0013】図 9 (a) 及び (b) に示すように、配線基板 4 上の多点の領域に樹脂 3 を塗布する方法も提案されているが、ICチップ 1 の搭載時の圧力により樹脂が広がった際、多点で塗布された樹脂 3 の中間に空気が閉じ込められ、空間 (気泡) 33 となり、これが、接続信頼性を悪化させる要因となる。よって、塗布点数は少ないことが望ましい。図 9 (a) 及び (b) は、それぞれ、樹脂多点塗布法での樹脂の拡がりを示す平面図であ

る。

【0014】以上のように、従来の半導体素子（ＩＣチップ）の実装方法には、ＩＣチップと配線基板との間の接着が確実であって、しかも実装面積を最小にすることに関して満足できるものは見当たらなかった。そこで、本発明の目的は、この問題を解決して、半導体素子と配線基板との電氣的及び機械的接続が確実であって、しかも高密度で実装できる、半導体素子の実装用配線基板及び半導体素子の実装方法を提供することである。

【0015】

【課題を解決するための手段】上記目的を達成するために、本発明に係る半導体素子の実装用配線基板は、突起電極を備えた半導体素子のフェースダウン・ボンディング方式による実装用配線基板であって、配線パターンを備え、配線パターンと突起電極とを電氣的に接続するようにして、熱硬化性又は光硬化性樹脂により半導体素子を接着、実装する配線基板において、配線パターンの高さ突起電極の高さの和より低い高さの凸部が、配線基板の半導体素子実装領域の内側であって樹脂塗布領域の周囲に、塗布樹脂の拡散流動を防止する間隔で配線基板上に設けられていることを特徴としている。

【0016】半導体素子実装領域とは、半導体素子を配線基板上にフェースダウンさせた際の半導体素子の外側輪郭に沿った領域である。樹脂塗布領域とは、樹脂を塗布すべき領域である。凸部の形状は、樹脂の拡散流動を防止できる形状である限り、制約はなく、例えば円柱状、角柱状にする。凸部の間隔は、樹脂の性状により異なるので、予め実験等により定めておく。また、凸部の大きさ、即ち断面積は、実装に支障を来さない広さとする。

【0017】本発明では、凸部が樹脂の無用な拡散流動を防止して、半導体素子の下面全域にわたり配線基板と半導体素子との間に樹脂を介在させることができるので、接着面積を最大限確保し、これによる固着力の高まりで、配線基板上の配線パターンと半導体素子上の突起電極との圧接が十分に確保され、接続導通の信頼性を向上させることができる。

【0018】好適には、凸部は、半導体素子実装領域と相似で縮小した領域の外郭線上に、半導体素子実装領域の対角線上及びその近傍では配置間隔を拡げるようにして、配置されている。これにより、樹脂は、半導体素子実装領域の対角線方向に沿って拡散し、半導体素子の四隅でも半導体素子と配線基板との間に十分な樹脂を介在させることができるので、半導体素子と配線基板との電氣的及び機械的接続が、一層、確実になる。

【0019】本発明に係る半導体素子の実装方法は、上述の本発明に係る半導体素子の実装用配線基板上に、突起電極を備えた半導体素子を、配線パターンと突起電極とを電氣的に接続するようにして、熱硬化性樹脂によ

基板の樹脂塗布領域上に熱硬化性樹脂を塗布する工程と、半導体素子の突起電極と配線基板の配線パターンとを位置合わせして、配線基板上に半導体素子を配置する工程と、加熱加圧手段によって半導体素子を加熱しながら配線基板に押圧し、突起電極を配線パターンに電氣的に接続すると共に熱により樹脂を硬化させる工程とを備えていることを特徴としている。

【0020】本発明に係る半導体素子の別の実装方法は、上述の本発明に係る半導体素子の実装用配線基板上に、突起電極を備えた半導体素子を、配線パターンと突起電極とを電氣的に接続するようにして、光硬化性樹脂によって半導体素子を接着させ、実装する方法であって、配線基板の樹脂塗布領域上に光硬化性樹脂を塗布する工程と、半導体素子の突起電極と配線基板の配線パターンとを位置合わせして、配線基板上に半導体素子を配置する工程と、加圧手段によって半導体素子を配線基板に押圧し、突起電極を配線パターンに電氣的に接続すると共に光照射により樹脂を硬化させる工程とを備えていることを特徴としている。

【0021】

【発明の実施の形態】以下に、添付図面を参照して、実施形態例に基づいて本発明をより詳細に説明する。

実施形態例

本実施形態例は、本発明に係る配線基板の実施形態の一例であって、図10(a)は本実施形態例の配線基板の要部の構成を示す平面図、図10(b)は図10(a)の線I-Iでの断面図である。図11(a)及び(b)は本実施形態例の配線基板上に半導体素子を実装する際の工程毎の様子を示す断面図である。本実施形態例の配線基板4は、半導体素子1の突起電極2（図11参照）と電氣的に接続させる配線パターン5（図10(a)では、簡単のために、左右に2本ずつ図示）を備え、半導体素子を実装させる基板である。

【0022】配線基板4は、図10(a)に示すように、半導体素子を実装する領域40の内側であって樹脂を塗布する区域41の周囲を取り囲むように、配線基板4の配線パターン5の高さと半導体素子1の突起電極2の高さの和より低い高さの円柱状の凸部8を複数個備えている。凸部8を配置した配置線で区画された領域は、領域40とはほぼ相似であってそれを縮小した領域である。本実施形態例では、凸部8は、領域40の対角線42上及び近傍には配置しないようにして、領域51を取り囲む四辺形の4辺の区画線上にそれぞれ3個ずつ各辺の中央付近で集中的に配置され、領域41に塗布された樹脂の流出の障害となるように配列されている。凸部8は、樹脂レジストや、金属パターンを使って、配線基板4と同じ材質で形成されている。

【0023】また、凸部8の形状は、本実施形態例のような円柱状に限らず、多種多様の形状で形成することができ、また、凸部8の配置は、一列配置に限らず、ラン

ダムな配置でも良い。

【0024】次いで、図11を参照して、本実施形態例の配線基板上に半導体素子を実装する方法を説明する。図11(a)及び(b)は、それぞれ、半導体素子の本実装方法を説明するための断面図である。突起電極2が形成された半導体素子1を配線パターン5が形成された配線基板4上に実装するには、まず、図11(a)に示すように、配線基板4の領域41上に熱硬化性樹脂3を塗布する。次に、図11(b)に示すごとく、突起電極2と配線パターン5とを位置合わせし、加熱加圧ヘッド7にて半導体素子1を加熱しながら配線基板4に押圧し、突起電極2を配線パターン5と接触させ、電気的に接続する。樹脂3は、配線その流動が基板4上の凸部8列によって制御され、半導体素子1と配線基板4間に広がる。そして、樹脂3熱により硬化することで、機械的接続を保つことができる。熱硬化性樹脂3に代えて、光硬化性樹脂を使用する際には、熱による硬化に代えて光を照射して樹脂を硬化させる。

【0025】ここで、図12を参照して、本実施形態例の配線基板4上の凸部8の作用を説明する。図12

(a)は樹脂を配線基板上に塗布した状態を示す基板の平面図、図12(b)は樹脂が流動する様子を示す基板の平面図である。まず、図12(a)に示すように、配線基板上の半導体素子1を搭載する領域41に樹脂3を塗布する。次に、配線基板4上に半導体素子1を搭載すると、樹脂3は押圧され、配線基板4と半導体素子1との間を充填する。同時に、半導体素子1の四辺への樹脂3の広がりが、凸部8によって抑制される一方、樹脂3は、凸部群の隙間43を通して対角線方向に流れて半導体素子1の四隅44に進入する。

【0026】これにより、半導体素子1の四隅を含めて配線基板4と半導体素子1との間の全域に樹脂3を介在させることができ、且つ、半導体素子1の外形からはみ出す樹脂3の面積を最小限にすることができるので、半導体素子1と配線基板4との電気的及び機械的接続が確実になる。

【0027】

【発明の効果】本発明によれば、配線基板の半導体素子実装領域の内側であって樹脂塗布領域の周囲に、塗布樹脂の拡散流動を防止する間隔で配線基板上に凸部を設けることにより、半導体素子を配線基板上にフェースダウン・ボンディング方式で実装する際、その電気的接続及び機械的接着が確実になる。本発明方法は、本発明に係る半導体素子の実装用配線基板を使用して半導体素子を配線基板上にフェースダウン・ボンディング方式で電気

的及び機械的に確実に実装する方法を実現している。

【図面の簡単な説明】

【図1】図1(a)と(b)は、それぞれ、従来のフリップチップ接続方式でICチップを実装する際の工程毎の断面図である。

【図2】図2(a)から(c)はICチップの製造プロセスの各工程の説明用斜視図である。

【図3】図3(a)から(c)は、それぞれ、点滴法の各ステップを説明する図である。

10 【図4】図4(a)から(d)は、それぞれ、スタンプ法の各ステップを説明する図である。

【図5】図5(a)から(c)は、それぞれ、印刷法の各ステップを説明する図である。

【図6】図6(a)及び(b)は、それぞれ、樹脂が周囲に拡散する様子を示す配線基板断面図である。

【図7】図7(a)及び(b)は、それぞれ、ICチップ実装面積が小さくなるように樹脂を塗布した際の樹脂が周囲に拡散する様子を示す配線基板断面図である。

20 【図8】図8(a)は塗布した段階での樹脂の平面形状、図8(b)は加圧して広がった段階での樹脂の平面形状を示す。

【図9】図9(a)及び(b)は、それぞれ、樹脂多点塗布法での樹脂の広がりを示す平面図である。

【図10】図10(a)は実施形態例の配線基板の要部の構成を示す平面図、図10(b)は図10(a)の線I-Iでの断面図である。

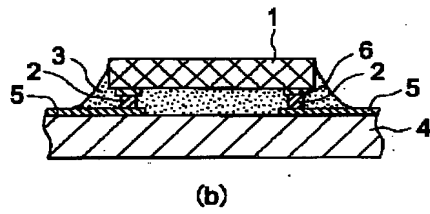
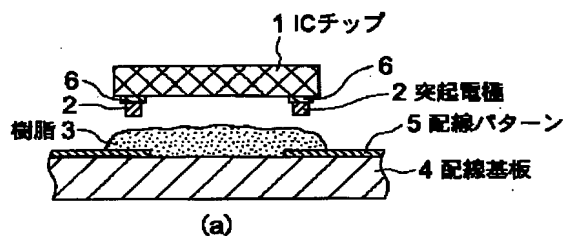
【図11】図11(a)及び(b)は実施形態例の配線基板上に半導体素子を実装する際の工程毎の様子を示す断面図である。

30 【図12】図12(a)は樹脂を配線基板上に塗布した状態を示す基板の平面図、及び図12(b)は樹脂が流動する様子を示す基板の平面図である。

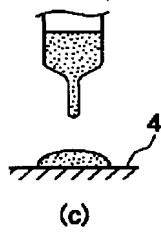
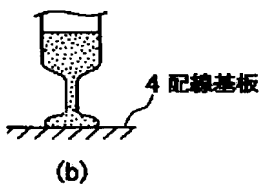
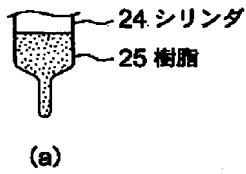
【符号の説明】

1……半導体素子(ICチップ)、2……金属突起電極、3……光硬化または熱硬化樹脂、4……配線基板、5……導体配線パターン、6……電極、7……加熱圧着ブロック、8……凸部、21……ウエハ、22……導体面、23……円盤カッター、24……シリンジ、25……ペースト樹脂、26……スタンプヘッド、27……ペー
40 スト樹脂槽、28……塗布部、29……スクリーン、31……スキージ、32……ICチップの四隅、33……空間(気泡)、40……ICチップの搭載範囲、41……樹脂塗布範囲、42……ICチップの対角線、43……凸部群の隙間、44……ICチップの四隅、50……ICチップ実装領域。

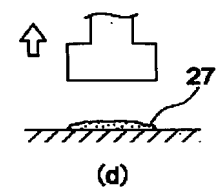
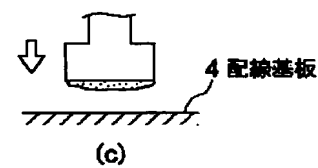
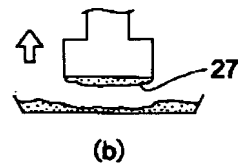
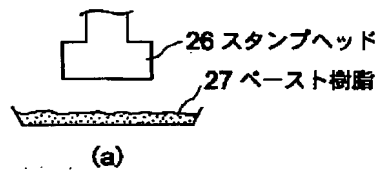
【図1】



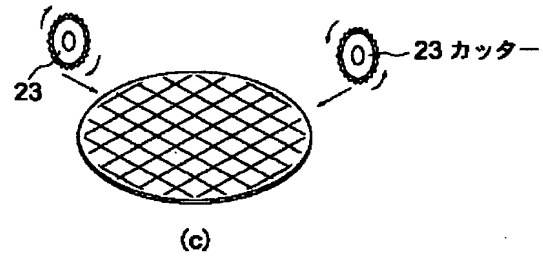
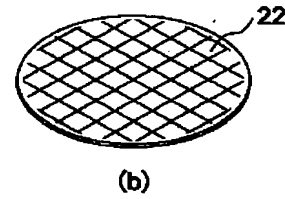
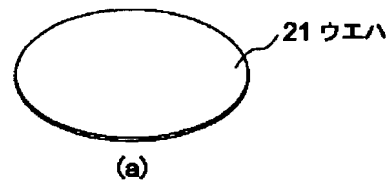
【図3】



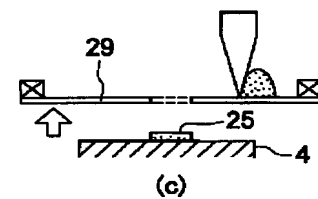
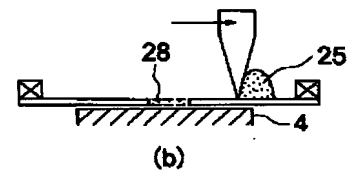
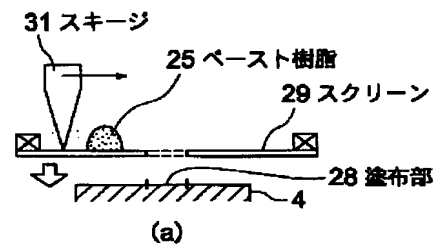
【図4】



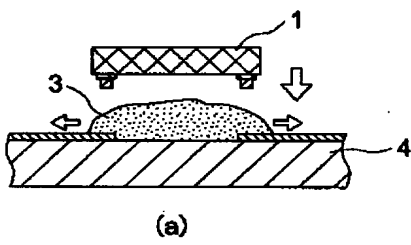
【図2】



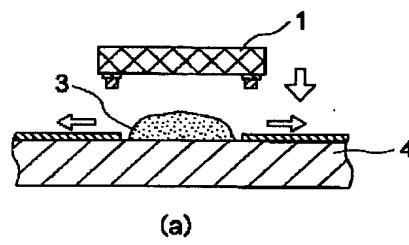
【図5】



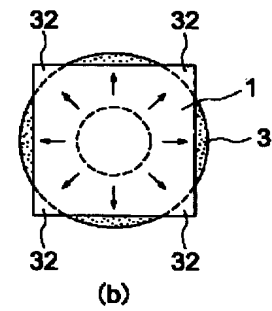
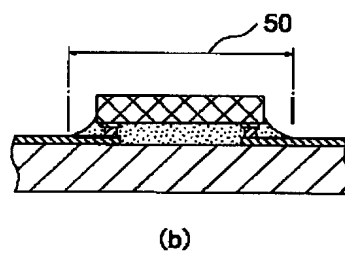
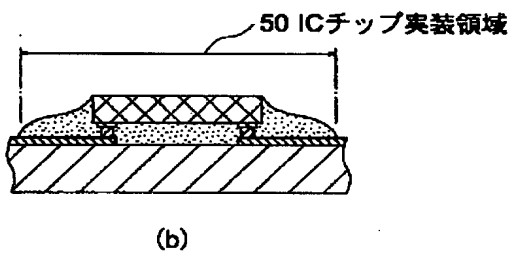
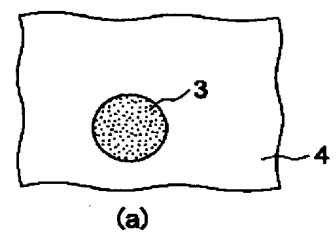
【図6】



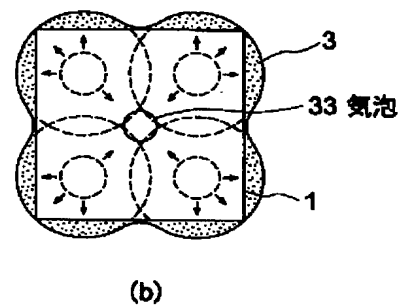
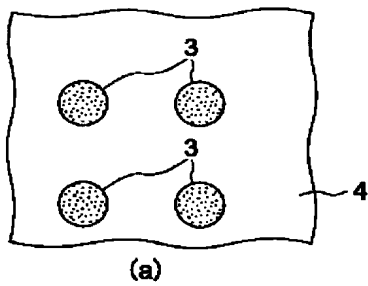
【図7】



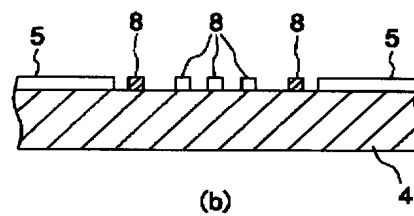
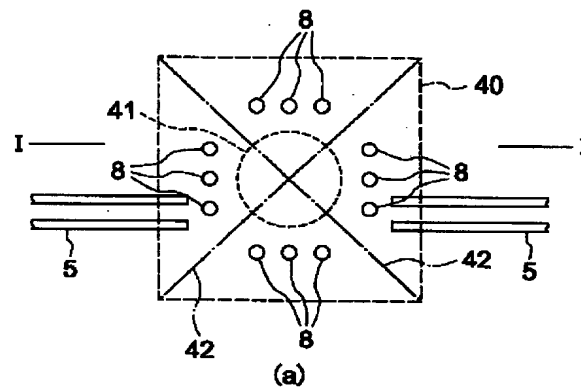
【図8】



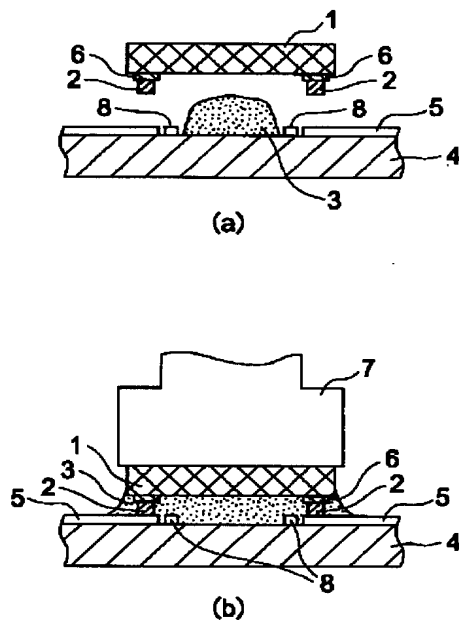
【図9】



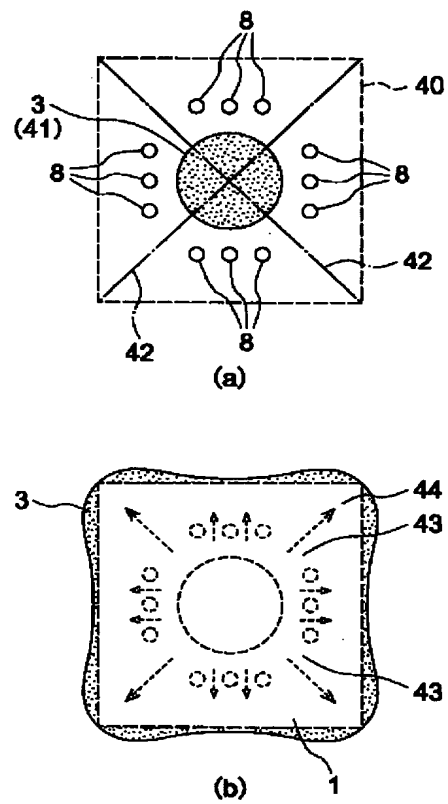
【図10】



【図11】



【図12】



フロントページの続き

(51) Int. Cl.⁷

H 0 1 L 23/31

H 0 5 K 1/18

3/32

識別記号

F I

H 0 1 L 23/12

23/30

テーマコード(参考)

L

C

(72) 発明者 鶴見 正美

愛知県一宮市高田池尻6番地 ソニー一宮
株式会社内

Fターム(参考) 4M109 AA01 BA04 CA10 DB07 EA11

EA15

5E319 AA03 AB05 AC20 BB11 BB13

BB16 CC61 CD04 GG20

5E336 AA04 BB01 BC28 BC31 BC34

CC32 CC58 EE05 EE07 GG11

GG14

5F044 KK01 LL01 RR17 RR19

5F061 AA01 BA04 CA10 CB02